



MT5700M-CN 5G 模块 硬件设计指南

文档版本 : V1.0
发布日期 : 2024-05-07

成都鼎桥通信技术有限公司

网址: <https://www.td-tech.com>
客户服务电话: 400 060 0808

版权所有©成都鼎桥通信技术有限公司 2024。保留一切权利。
非经本公司书面许可, 任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部, 并不得以任何形式传播。

商标声明

 **TD Tech** 和其他商标均为成都鼎桥通信技术有限公司的商标。
本文档提及的其他所有商标或注册商标, 由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受成都鼎桥通信技术有限公司商业合同和条款的约束, 本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定, 成都鼎桥通信技术有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因, 本文档内容会不定期进行更新。除非另有约定, 本文档仅作为使用指导, 本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



目录

1 修订记录.....	1
2 简介.....	2
3 总体介绍.....	4
3.1 功能概述.....	4
3.2 电路框图.....	5
3.3 外设接口.....	6
4 接口描述.....	7
4.1 M.2 接口.....	7
4.2 电源接口.....	12
4.2.1 概览.....	12
4.2.2 电源输入接口.....	13
4.2.3 电源输出接口.....	14
4.3 控制信号接口.....	14
4.3.1 概览.....	14
4.3.2 POWER_ON_OFF 引脚.....	15
4.3.2.1 开关机时序.....	15
4.3.3 RESET 引脚.....	16
4.3.4 WAKE_IN 引脚.....	17
4.3.5 WOWWAN 引脚.....	18
4.3.6 W_DISABLE 引脚.....	19
4.4 UART 接口.....	19
4.5 USB 接口.....	20
4.6 USIM 卡接口.....	22
4.7 音频接口*.....	23
4.8 I2C 接口*.....	24
4.9 PCIe 接口*.....	25
4.10 XGMAC 接口*.....	27
4.11 授时接口.....	28
4.12 LED 接口.....	29
4.13 MIPI 接口*.....	29
4.14 RF 天线接口.....	30
4.15 测试点设计.....	32

5 射频特性	33
5.1 工作频段	33
5.2 传导射频测量	34
5.2.1 测试环境	34
5.2.2 测试标准	34
5.3 传导射频特性	34
5.3.1 传导接收灵敏度	34
5.3.2 传导发射功率	35
6 电气特性	37
6.1 极限工作电压	37
6.2 工作和存储环境	38
6.3 应用接口电气特性	38
6.4 输入电源特性	38
6.4.1 输入电压	39
6.4.2 功耗	39
6.5 ESD 设计	43
6.5.1 模块静电放电特性	43
6.5.2 ESD 设计建议	43
6.5.3 ESD 环境控制建议	43
6.6 高速信号走线建议	44
6.6.1 PCIe 走线建议	44
6.6.2 RF 走线建议	45
6.6.3 USB 走线建议	46
6.7 热设计	47
7 机械特性	48
7.1 模块结构图	48
7.2 实物图	48
7.3 包装	49
8 认证	50
9 缩略语	51

1 修订记录

历史版本

版本号	时间	修订描述
V1.0	2024.05.07	首次发布

2 简介

本文描述了TD-TECH符合M.2接口规范的5G模块MT5700M-CN使用过程中的硬件应用接口和空中接口。

通过本文，您可以了解到MT5700M-CN模块使用过程中的接口规范、电气特性以及相关产品信息。

产品型号	频段
MT5700M-CN模块	NR: n1/3/5/8/28/41/78/79 LTE FDD: B1/3/5/8 LTE TDD: B34/38/39/40/41 WCDMA: B1/8 SUL: n80/81/83/84 ENDC: DC_1A_n78A; DC_3A_n78A; DC_3A_n79A; DC_39A_n41A; DC_3A_n41A; DC_39A_n79A; DC_5A_n78A; DC_8A_n78A; DC_8A_n79A; DC_8A_n41A; DC_40A_n41A*; DC_40A-n79A NRCA: CA_n1A_n78A; CA_n3A_n78A; CA_n5A_n78A; CA_n8A_n78A; CA_n28A_n41A; CA_n41A_n79A; CA_n78C; CA_n41C; CA_n1A_n3A_n78A; CA_n1A_n78C LTECA: 2CC: CA_1C; CA_1A_3A; CA_1A_5A; CA_1A_8A; CA_3C; CA_3A_5A; CA_3A_8A; CA_3A_41A; CA_8A_41A; CA_39A_41A; CA_38C; CA_39C; CA_40C; CA_41C 3CC: CA_1A_3A_5A(可选); CA_1A_3A_8A; CA_3C_8A; CA_8A_41C; CA_39A_41C; CA_39C_41A; CA_40D; CA_41D 4CC: CA_39A_41D; CA_39C_41C SUL: CA_n41A_n83A; CA_n78A_n80A; CA_n78A_n84A ; CA_n78A_n81A 超级上行: CA_n41A_n83A; CA_n78A_n80A; CA_n78A_n84A ; CA_n78A_n81A

3 总体介绍

关于本章

- 3.1 功能概述
- 3.2 电路框图
- 3.3 外设接口

3.1 功能概述

表 3-1 产品特性

产品特性	描述
物理特性	尺寸: 30mm*52mm*2.3mm 重量: 约10g
工作温度	正常工作温度: -30℃~75℃ ^[1] 扩展工作温度: -40℃~85℃ ^[2]
存储温度	-40℃~90℃
湿度	RH5% 至 RH95%
工作电压	DC 3.3V~4.4V (典型值3.8V)
天线接口	4天线
数据业务	理想状态下速率: SA: DL 4Gbps / UL 1.5Gbps NSA: DL 2.2Gbps / UL 287Mbps LTE: DL 900Mbps / UL 200Mbps

产品特性	描述
功率等级	SA: n41/78/79 : Power Class 2 n1/3/5/8/28 : Power Class 3 LTE: B1/3/5/8/34/38/39/40: Power Class 3 B41: Power Class 2 SUL: Power Class 3 WCDMA: Power Class 3

 说明

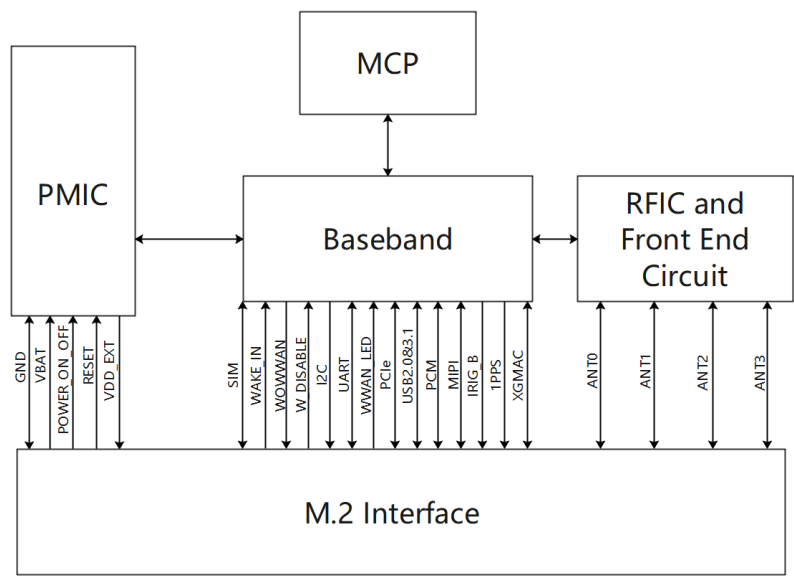
- [1]: 增加导热材料/散热器等散热措施的情况下，MT5700M-CN模组在-30℃~75℃范围内可正常工作，且各项指标均满足3GPP协议标准。
- [2]: 增加导热材料/散热器等散热措施以及添加加热电路的情况下，MT5700M-CN模组在-40℃~-30℃，75℃~85℃范围内可正常工作，但部分射频指标可能无法满足3GPP协议标准。当温度恢复到正常工作温度范围，各项指标均可满足3GPP协议标准。

3.2 电路框图

MT5700M-CN模块基于国产R16芯片开发，电路框图如下图所示，有如下所示的功能模块：

- 电源管理
- 基带
- MCP
- 射频电路

图 3-1 模块电路框图



3.3 外设接口

表 3-2 外设接口

接口	描述
UART	主串口 x 1
USB	USB2.0 / USB3.1 x 1
USIM	USIM x 2
授时接口	IRIG_B x 1; 1PPS x 1
语音*	PCM x 1
天线	天线 x 4
I2C*	I2C x 1 (与PCM一同用于CODEC)
PCIe*	PCIe3.0 x 1
XGMAC*	XGE x 1
LED	LED x 1
MIPI*	MIPI x 1

4 接口描述

关于本章

- 4.1 M.2接口
- 4.2 电源接口
- 4.3 控制信号接口
- 4.4 UART接口
- 4.5 USB接口
- 4.6 USIM卡接口
- 4.7 音频接口*
- 4.8 I2C接口*
- 4.9 PCIe接口*
- 4.10 XGMAC接口*
- 4.11 授时接口
- 4.12 LED接口
- 4.13 MIPI接口*
- 4.14 RF天线接口
- 4.15 测试点设计

4.1 M.2 接口

MT5700M-CN模块对外接口形态为M.2 Key-B接口。

图 4-1 MT5700M-CN 模块接口示意

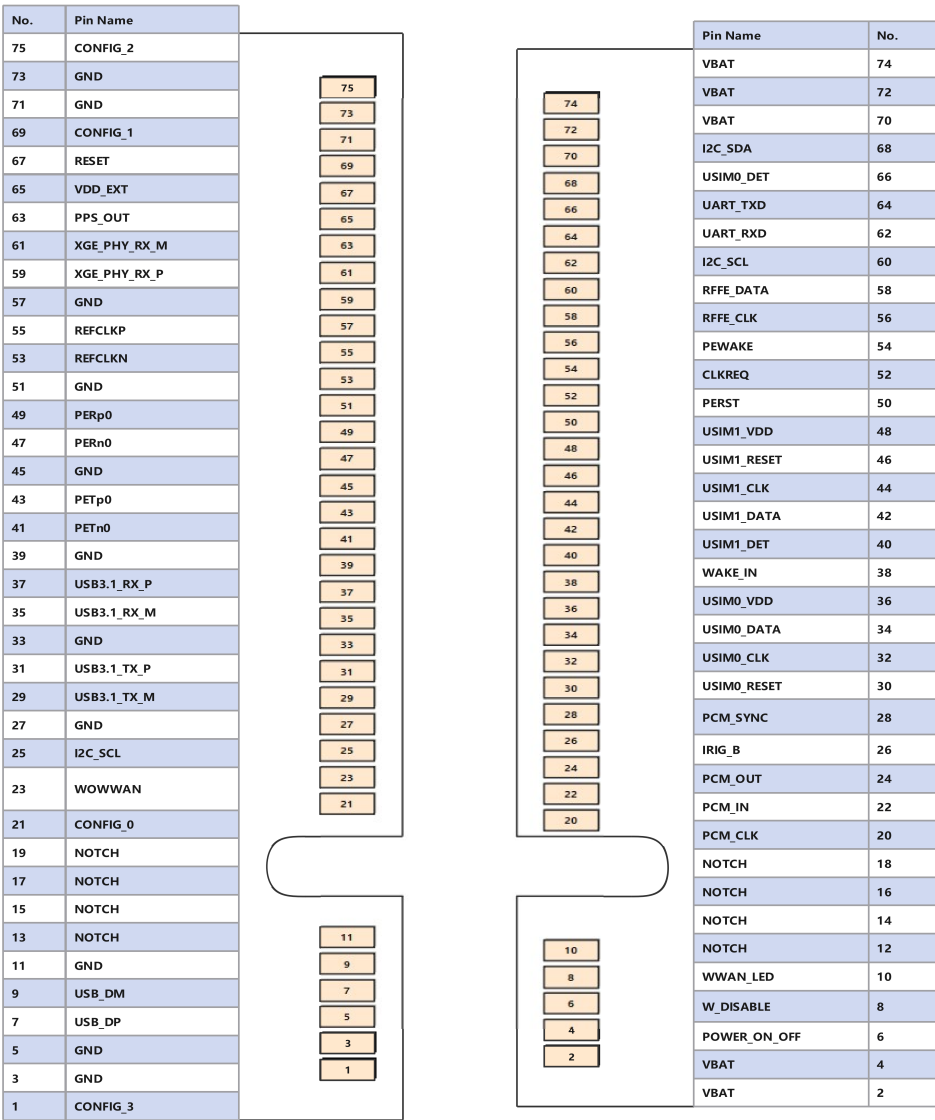


表 4-1 引脚定义

引脚号	引脚名称	引脚类型	描述	备注	复用引脚
电源引脚					
2	VBAT	PI	模块供电输入	3.3V~4.4V 典型值：3.8V	-
4	VBAT	PI	模块供电输入	3.3V~4.4V 典型值：3.8V	-
70	VBAT	PI	模块供电输入	3.3V~4.4V 典型值：3.8V	-

引脚号	引脚名称	引脚类型	描述	备注	复用引脚
72	VBAT	PI	模块供电输入	3.3V~4.4V 典型值：3.8V	-
74	VBAT	PI	模块供电输入	3.3V~4.4V 典型值：3.8V	-
65	VDD_EXT	PO	模块1.8V输出，最大50mA	1.8V	-
控制信号引脚					
6	POWER_ON_OFF	I	模块开关机信号，高电平有效	1.8V/3.3V	-
67	RESET	I	模块复位信号，内部上拉至1.8V，低电平有效	1.8V	-
38	WAKE_IN	I	模块休眠控制，内部上拉至1.8V，低电平有效	1.8V	XGE_PHY_TX_P*
23	WOWWAN	O	模块状态输出，以唤醒上位机	需外部上拉，支持1.8V/3.3V	-
8	W_DISABLE	I	模块飞行模式控制，低电平有效	需外部上拉，支持1.8V/3.3V	XGE_PHY_RST*
配置引脚					
1	CONFIG_3	-	配置引脚，模块内部无连接，外部接上拉或者下拉，用于M.2接口类别识别	按照实际情况进行配置	-
21	CONFIG_0	-	配置引脚，模块内部无连接，外部接上拉或者下拉，用于M.2接口类别识别	按照实际情况进行配置	-
69	CONFIG_1	-	配置引脚，模块内部无连接，外部接上拉或者下拉，用于M.2接口类别识别	按照实际情况进行配置	-
75	CONFIG_2	-	配置引脚，模块内部无连接，外部接上拉或者下拉，用于M.2接口类别识别	按照实际情况进行配置	-

引脚号	引脚名称	引脚类型	描述	备注	复用引脚
授时接口					
63	PPS_OUT	O	1PPS码输出	1.8V	-
26	IRIG_B	O	B码输出	1.8V	XGE_PHY_INT*
I2C引脚*					
25	I2C_SCL	OD	I2C时钟，开漏，与60PIN物理连接	1.8V	XGE_MDC*
60	I2C_SCL	OD	I2C时钟，开漏，与25PIN物理连接	1.8V	XGE_MDC*
68	I2C_SDA	OD	I2C数据，开漏	1.8V	XGE_MDIO*
MIPI引脚*					
56	RF FE_CLK	O	MIPI时钟	1.8V	-
58	RF FE_DATA	IO	MIPI数据	1.8V	-
PCIe引脚*					
50	PERST	OD	PCIe 复位信号，低电平有效	需外部上拉100K至1.8V/3.3V	-
53	REFCLKN	AIO	PCIe差分信号参考时钟-	-	-
54	PEWAKE	OD	PCIe唤醒信号	需外部上拉100K至1.8V/3.3V	-
55	REFCLKP	AIO	PCIe差分信号参考时钟+	-	-
47	PERn0	AI	PCIe差分接收-	-	-
49	PERp0	AI	PCIe差分接收+	-	-
41	PETn0	AO	PCIe差分发送-	-	-
43	PETp0	AO	PCIe差分发送+	-	-
52	CLKREQ	OD	PCIe时钟请求	需外部上拉100K至1.8V/3.3V	-
PCM引脚*					
20	PCM_CLK	O	PCM时钟，用于CODEC	1.8V	-
22	PCM_IN	I	PCM数据输入，用于CODEC	1.8V	-

引脚号	引脚名称	引脚类型	描述	备注	复用引脚
24	PCM_OUT	O	PCM数据输出，用于CODEC	1.8V	-
28	PCM_SYNC	O	PCM同步信号，用于CODEC	1.8V	-
UART引脚					
62	UART_RXD	I	UART接收	1.8V	-
64	UART_TXD	O	UART发送	1.8V	-
USB引脚					
9	USB_DM	AIO	USB2.0差分数据-	-	-
7	USB_DP	AIO	USB2.0差分数据+	-	-
35	USB31_RX_M	AI	USB3.1差分接收-	-	-
37	USB31_RX_P	AI	USB3.1差分接收+	-	-
29	USB31_TX_M	AO	USB3.1差分发送-	-	-
31	USB31_TX_P	AO	USB3.1差分发送+	-	-
XGE引脚*					
59	XGE_PHY_RX_P	AI	XGMAC差分接收+	-	-
61	XGE_PHY_RX_M	AI	XGMAC差分接收-	-	-
38	XGE_PHY_TX_P	AO	XGMAC差分发送+	-	WAKE_IN
40	XGE_PHY_TX_M	AO	XGMAC差分发送-	-	USIM1_DET
25	XGE_MDC	I	XGMAC管理接口时钟发送，与60PIN物理连接	1.8V	I2C_SCL
60	XGE_MDC	I	XGMAC管理接口时钟发送，与25PIN物理连接	1.8V	I2C_SCL
68	XGE_MDIO	IO	XGMAC管理接口数据	1.8V	I2C_SDA
8	XGE_PHY_RST	I	XGMAC复位信号，低电平有效	需外部上拉，支持1.8V/3.3V	W_DISABLE
26	XGE_PHY_INT	O	XGMAC中断输出	1.8V	IRIG_B
USIM引脚					

引脚号	引脚名称	引脚类型	描述	备注	复用引脚
36	USIM0_VDD	PO	USIM0供电，自动适配1.8V/3.0V	1.8V/3.0V	
32	USIM0_CLK	O	USIM0时钟	1.8V/3.0V	-
34	USIM0_DATA	IO	USIM0数据	1.8V/3.0V	-
30	USIM0_RESET	O	USIM0复位	1.8V/3.0V	-
66	USIM0_DET	I	USIM0插入检测	1.8V	-
48	USIM1_VDD	PO	USIM1供电，自动适配1.8V/3.0V	1.8V/3.0V	-
44	USIM1_CLK	O	USIM1时钟	1.8V/3.0V	-
42	USIM1_DATA	IO	USIM1数据	1.8V/3.0V	-
46	USIM1_RESET	O	USIM1复位	1.8V/3.0V	-
40	USIM1_DET	I	USIM1插入检测	1.8V	XGE_PHY_TX_M*
LED引脚					
10	WWAN_LED	OD	用于指示模块工作状态	SINK，需外接供电	
GND引脚					
3	5	11	27	33	39
45	51	57	71	73	-

 说明

- P表示电源引脚；PI表示电源输入引脚；PO表示电源输出引脚；I表示数字信号输入引脚；O表示数字信号输出引脚；IO表示数据信号输入输出引脚；AI表示模拟信号输入引脚；AO表示模拟信号输出引脚；AIO表示模拟信号输入输出引脚；OD表示开漏引脚；OC表示开集引脚。
- 带“*”引脚表示正在开发中，功能还未完全实现，实际设计时请参考最新版本硬件设计指南。
- XGE接口与其余接口复用同一引脚，若采用XGE，在XGE工作时，对应引脚只能用于XGE，不再具备其余功能。

4.2 电源接口

4.2.1 概览

模块电源接口包括：

- VBAT：模块电源输入

- VDD_EXT：模块1.8V对外输出
- USIM0_VDD/USIM1_VDD：USIM电源

表 4-2 电源接口引脚定义

引脚号	引脚名称	类型	描述	备注
2,4,70,72,74	VBAT	PI	电源输入，VBAT电压上升时间必须大于100us	输入电压3.3V~4.4V，典型值3.8V
65	VDD_EXT	PO	对外1.8V输出	输出电压：1.8V 输出能力：50mA 模块进入休眠时，依旧输出
36	USIM0_VDD	PO	USIM0卡供电	自动适配1.8V/3.0V
48	USIM1_VDD	PO	USIM1卡供电	自动适配1.8V/3.0V

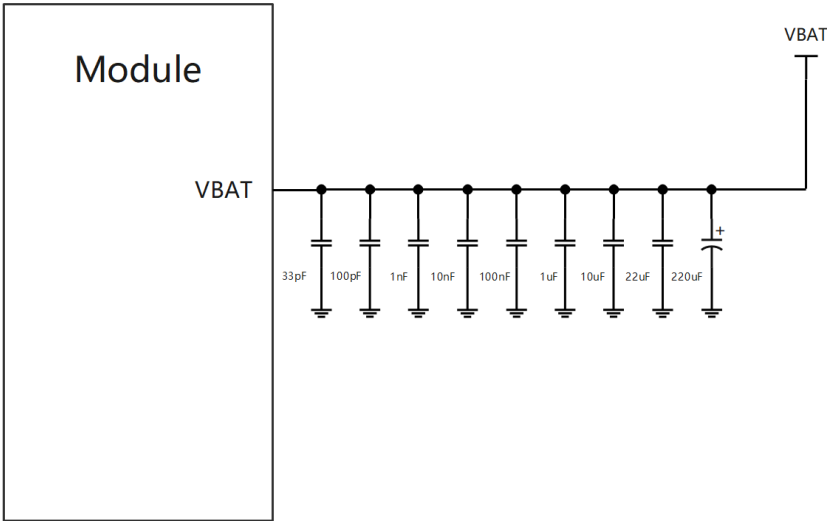
4.2.2 电源输入接口

电源输入接口为VBAT，输入电压3.3V~4.4V，典型值3.8V，需保证前端VBAT供电电源输出能力大于等于4A。

为确保模块正常工作，需保证VBAT引脚处实际输入电压维持在3.3V以上，否则可能会导致模块重启或者关机。

如果电源芯片输入电压与输出电压（VBAT）压差较大，推荐采用DCDC。如果电源芯片输入电压与输出电压（VBAT）压差较小，也可使用LDO。为减小电压跌落，需在靠近模块VBAT处放置一颗220uF铝电解电容或者低ESR的100uF储能电容，同时需在靠近模块VBAT处放置多个低ESR的MLCC电容，如22uF、10uF、1uF、100nF、10nF、1nF、100pF、33pF等以减小干扰。

图 4-2 VBAT 引脚参考电路



4.2.3 电源输出接口

电源输出接口包括 VDD_EXT，USIM_VDD

表 4-3 电源输出接口引脚定义

引脚号	引脚名称	典型值（V）	典型值（mA）
65	VDD_EXT	1.8	50
36	USIM0_VDD	1.8/3.0	50
48	USIM1_VDD	1.8/3.0	50

VDD_EXT：此引脚输出1.8V，负载能力50mA，用于外部电源转换。VDD_EXT在模块休眠状态下依旧会输出，对于低功耗产品需要注意VDD_EXT引脚的使用。VDD_EXT在模块关机状态下不输出。

USIM0_VDD/USIM1_VDD：USIM卡供电，模块可自动适配1.8V/3.0V USIM卡。

4.3 控制信号接口

4.3.1 概览

控制信号接口包括：

- POWER_ON_OFF
- RESET
- WAKE_IN
- WOWWAN
- W_DISABLE

表 4-4 控制信号接口引脚定义

引脚号	引脚名称	类型	描述	备注
6	POWER_ON_OFF	I	模块开关机信号	内部添加MOS，外部可通过1.8V/3.3V GPIO进行控制，高电平有效
67	RESET	I	模块复位信号	内部上拉至1.8V，低电平有效
38	WAKE_IN	I	模块休眠控制	内部上拉至1.8V，低电平有效 与XGE_PHY_TX_P复用，与XGMAC功能不可同时使用
23	WOWWAN	O	模块状态输出	模块状态输出，以唤醒上位机，需外部上拉

引脚号	引脚名称	类型	描述	备注
8	W_DISABLE	I	模块飞行模式控制	需外部上拉，支持1.8V/3.3V，低电平有效

4.3.2 POWER_ON_OFF 引脚

主机可通过1.8V/3.3V GPIO拉高此引脚实现开关机。

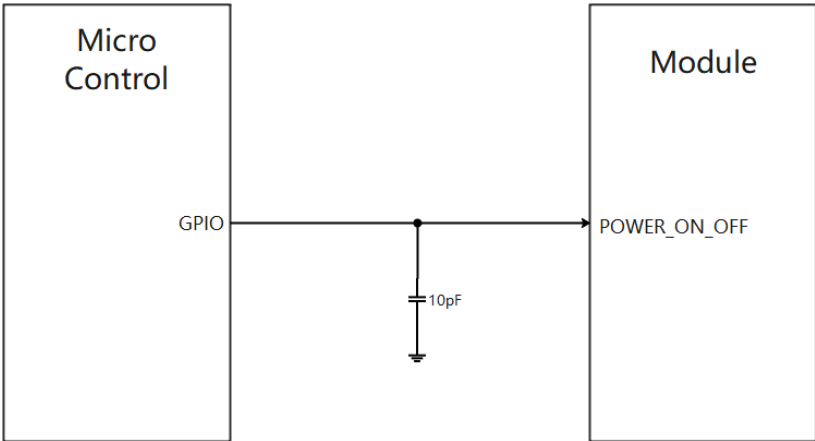
若需要模块上电即开机，可在VBAT上电前拉高POWER_ON_OFF引脚，此时可串联1K电阻上拉至1.8V/3.3V/VBAT。

当POWER_ON_OFF引脚外部无输入时，模块默认不开机。

表 4-5 POWER_ON_OFF 引脚定义

序号	功能	描述
1	开机	开机步骤1：VBAT上电200ms 开机步骤2：拉高POWER_ON_OFF引脚100ms 开机步骤3：拉低POWER_ON_OFF引脚
2	关机	关机步骤1：拉高POWER_ON_OFF引脚10s 关机步骤2：拉低POWER_ON_OFF引脚

图 4-3 POWER_ON_OFF 引脚推荐电路



4.3.2.1 开关机时序

在关机状态下，VBAT稳定后，拉高POWER_ON_OFF引脚再拉低，模块开机。

在开机状态下，拉高POWER_ON_OFF引脚再拉低，模块关机。

在开关机时序中，需保证VBAT稳定。

图 4-4 开关机时序

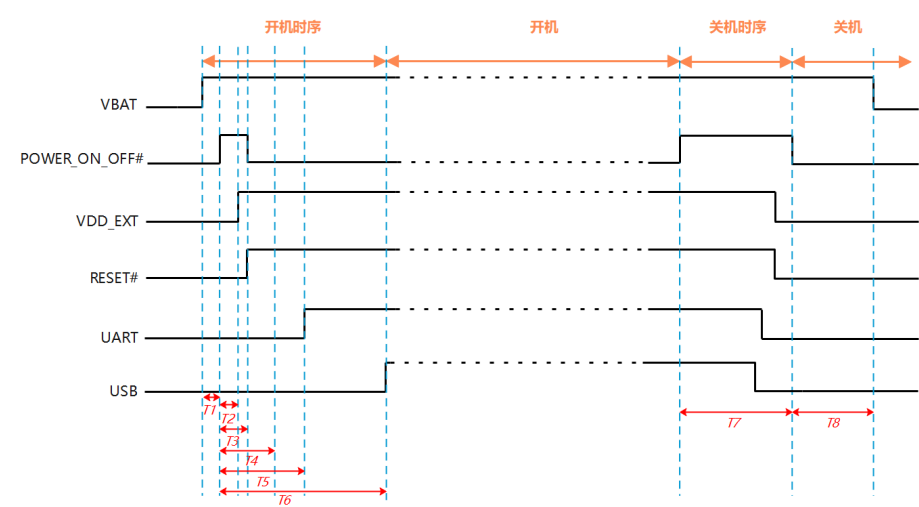


表 4-6 参数描述

参数名称	描述	时间（典型值）	单位
T1	开机前VBAT稳定时间	200	ms
T2	POWER_ON_OFF拉高至VDD_EXT输出1.8V	50	ms
T3	POWER_ON_OFF拉高至RESET拉高	50	ms
T4	开机时间（POWER_ON_OFF拉高）	100	ms
T5	UART生效时间	18	s
T6	USB生效时间	22	s
T7	关机时间（POWER_ON_OFF拉高）	10	s
T8	关机后VBAT维持时间	2	s

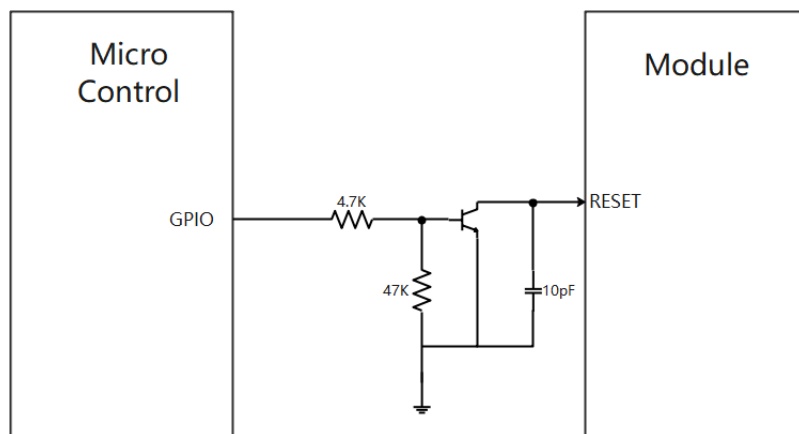
说明

- 若需使用POWER_ON_OFF实现开机以及关机，需保证在模块正常工作过程中，POWER_ON_OFF为低。

4.3.3 RESET 引脚

RESET引脚用于复位模块，模块内部上拉至1.8V，低电平有效，当模块停止响应，拉低此引脚可以实现复位。

图 4-5 RESET 引脚推荐设计电路



说明

- RESET建议拉低时间100ms。
- RESET以及POWER_ON_OFF引脚建议并联一个10-100pF电容，以避免误触发。建议布线在内层，四周包地，且走线长度尽量短，距离板边大于2.54mm。
- 若无需使用RESET相关功能，此引脚可悬空，此时建议预留测试点。

4.3.4 WAKE_IN 引脚

WAKE_IN引脚为模块进入休眠状态的授权引脚，此引脚模块内部上拉至1.8V。

WAKE_IN为高：模块无法进入休眠。

WAKE_IN为低：模块在一定的条件下可以进入休眠。

图 4-6 WAKE_IN 引脚推荐电路

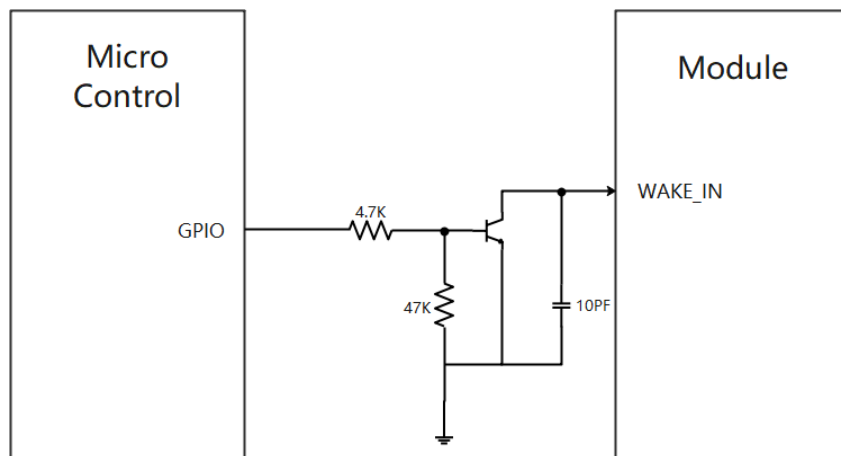
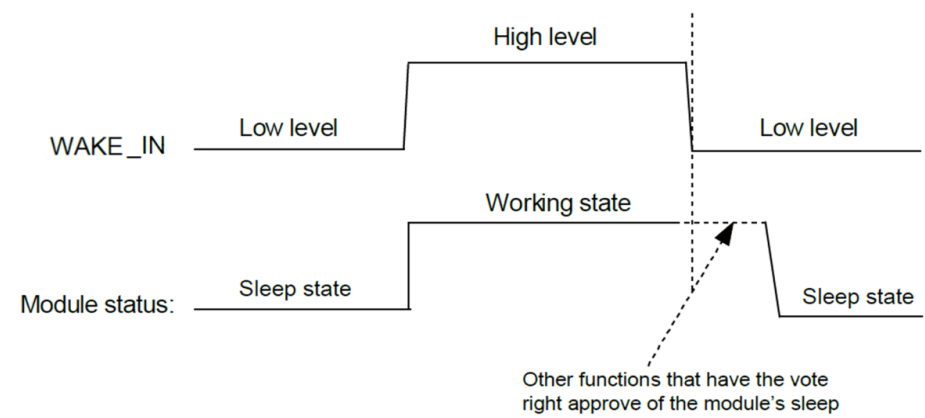


图 4-7 WAKE_IN 引脚时序



说明

- 建议布线在内层，四周包地，且走线长度尽量短，距离板边大于2.54mm。
- 若无需使用此引脚，悬空处理。

4.3.5 WOWWAN 引脚

WOWWAN引脚用于唤醒主机，默认为低，当有URC上报发生，输出1s高电平。
此引脚为OD，需要外部上拉到1.8V/3.3V。

图 4-8 WOWWAN 引脚推荐电路

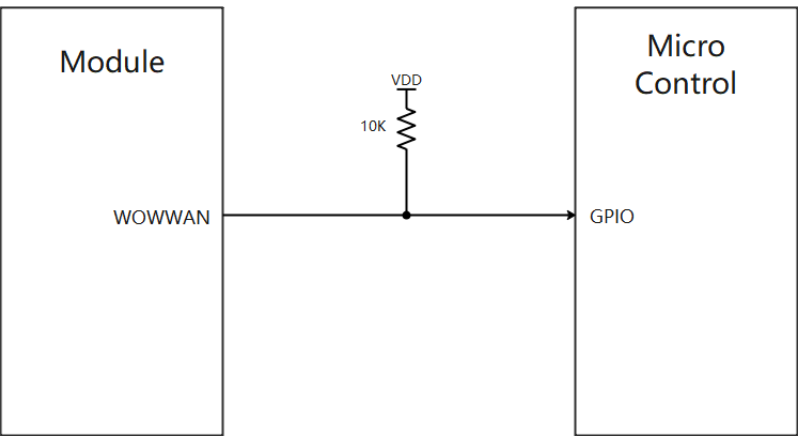
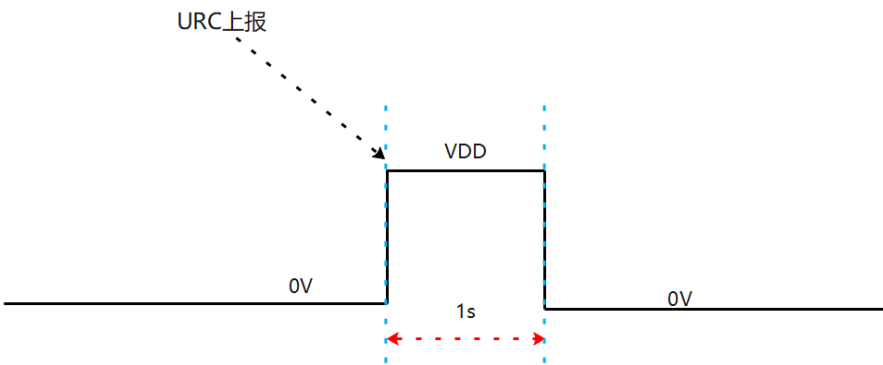


图 4-9 WOWWAN 逻辑



说明

- 若无需使用此引脚，悬空处理。

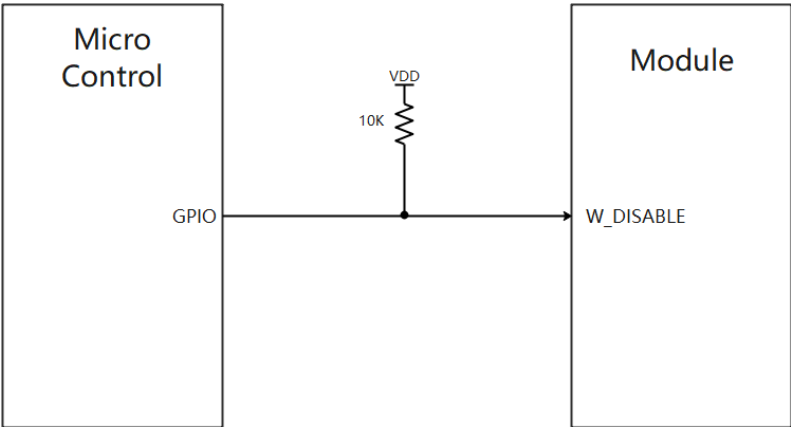
4.3.6 W_DISABLE 引脚

W_DISABLE 引脚用于模块飞行模式控制，此引脚为OD，需要外部上拉到1.8V/3.3V。

引脚逻辑如下：

- W_DISABLE为高：模块不进入飞行模式。
- W_DISABLE为低：模块进入飞行模式。

图 4-10 W_DISABLE 推荐电路



说明

- 若无需使用此引脚，悬空处理。

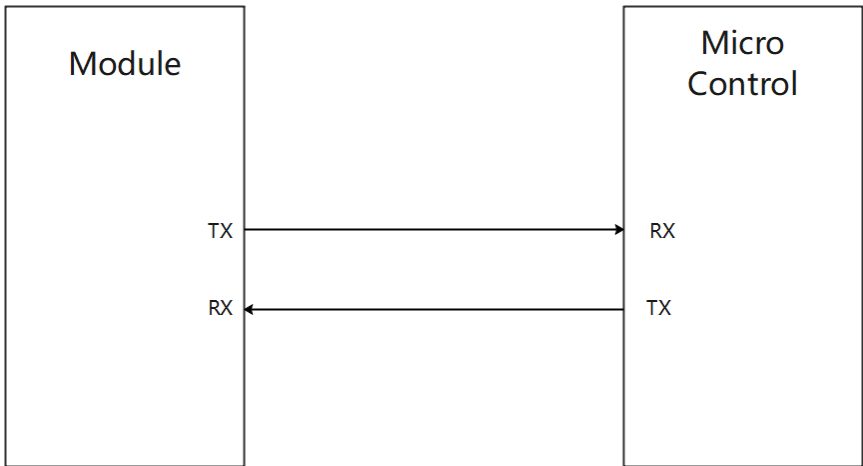
4.4 UART 接口

模块提供一组UART接口，可用于AT指令发送，默认波特率115200 bps。

表 4-7 UART 接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值 (V)
64	UART_TXD	O	UART发送	1.8
62	UART_RXD	I	UART接收	1.8

图 4-11 UART 引脚推荐电路



说明

- UART引脚电平为1.8V，注意电平匹配。
- 若需电平转换，上拉需选用VDD_EXT。
- 若无需使用UART接口，悬空处理相应引脚。
- UART无法做为中断源唤醒模块，若模块处于休眠状态需要唤醒，建议拉高WAKE_IN引脚。

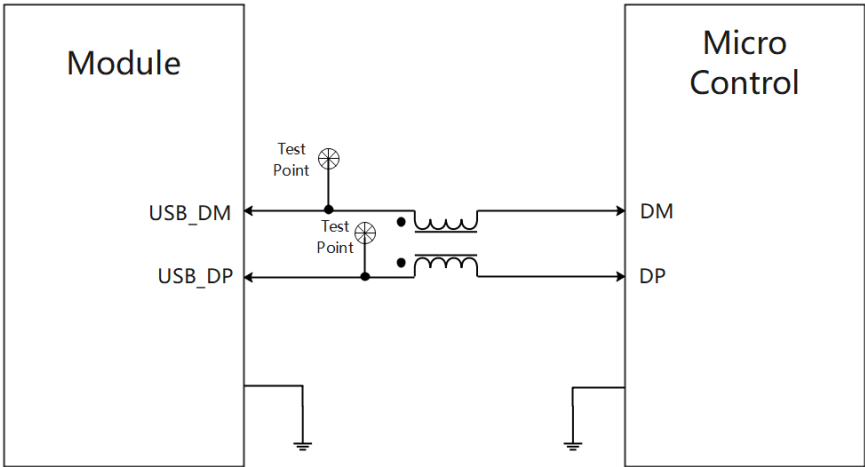
4.5 USB 接口

模块提供一个USB2.0接口。

表 4-8 USB 接口引脚定义

引脚号	引脚名称	引脚类型	描述
9	USB_DM	AIO	USB2.0差分数据-
7	USB_DP	AIO	USB2.0差分数据+
35	USB31_RX_M	AI	USB3.1差分接收-
37	USB31_RX_P	AI	USB3.1差分接收+
29	USB31_TX_M	AO	USB3.1差分发送-
31	USB31_TX_P	AO	USB3.1差分发送+

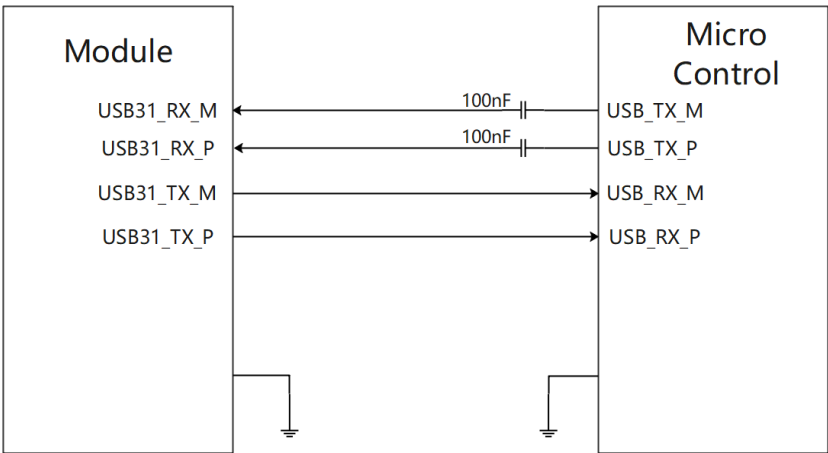
图 4-12 USB2.0 推荐电路



说明

- USB2.0接口建议引出测试点，便于本地升级及调试使用。
- 若使用USB连接器，需要在USB连接器处增加ESD，建议选取结电容小于0.5pF的ESD。
- USB2.0差分阻抗90欧姆，对内等长控制在10mil以内，建议内层走线，四面包地，走线不超过3个过孔，过孔旁需就近打1-2个地过孔到主地。
- 若无需使用USB接口，悬空处理相应引脚。

图 4-13 USB3.1 推荐电路



📖 说明

- USB3.1接口无法实现热插拔，若需要实现热插拔，建议同时接入DM/DP。
- 模块内TX引脚已内置隔直电容，只需要在RX端靠近上位机处放置隔直电容，推荐100nF。
- USB3.1差分阻抗为100欧姆，TX/RX对内等长控制在2mil以内，四面包地处理，普通FR4板材走线长度需小于6inch。
- 建议TX/RX走线不超过3个过孔，过孔旁需就近打1-2个地过孔到主地。
- 若使用USB连接器，需要在USB连接器处增加静电防护器件，建议USB3.1选取结电容小于0.15pF的ESD。
- 如果不使用USB3.1接口，可悬空相应引脚。

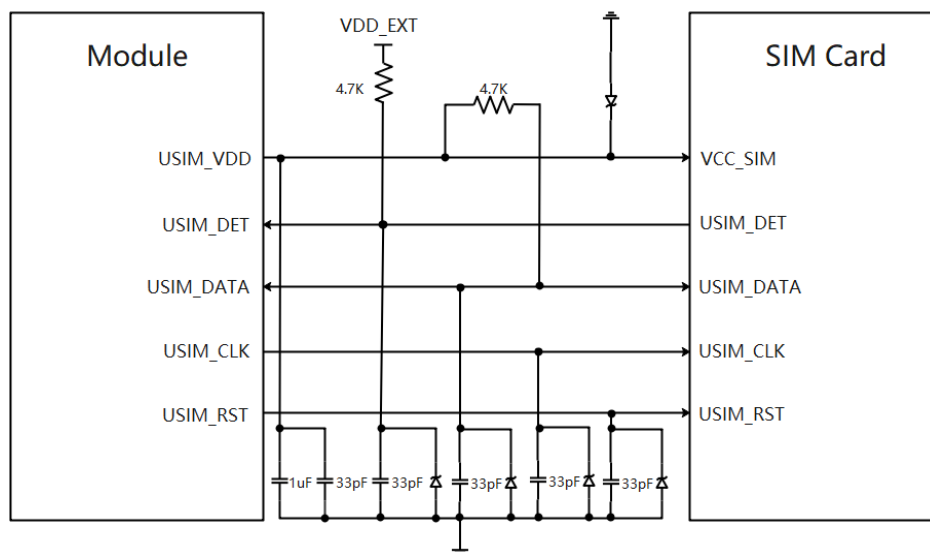
4.6 USIM 卡接口

模块提供两个标准USIM卡接口，支持自动检测Class B和Class C的USIM卡。

表 4-9 USIM 卡引脚定义

引脚号	引脚名称	引脚类型	描述	典型值 (V)
36	USIM0_VDD	PO	USIM0供电，自动适配1.8V/3.0V	1.8/3.0
32	USIM0_CLK	O	USIM0时钟	1.8/3.0
34	USIM0_DATA	IO	USIM0数据	1.8/3.0
30	USIM0_RESET	O	USIM0复位	1.8/3.0
66	USIM0_DETECT	I	USIM0插入检测	1.8
42	USIM1_DATA	IO	USIM1时钟	1.8/3.0
44	USIM1_CLK	O	USIM1数据	1.8/3.0
46	USIM1_RESET	O	USIM1复位	1.8/3.0
48	USIM1_VDD	PO	USIM1供电，自动适配1.8V/3.0V	1.8/3.0
40	USIM1_DETECT	I	USIM1插入检测	1.8

图 4-14 USIM 卡推荐电路



USIM_DETECT引脚用于USIM卡在位检测。

- 如果卡在位，需保证USIM_DETECT引脚为高。
- 如果卡不在位，需保证USIM_DETECT引脚为低。

说明

- USIM_DETECT电平为1.8V，注意电平匹配。
- 当USIM卡被移除（热拔）时，USIM_DETECT引脚的电平从高降为低。
- 当USIM卡被插入（热插）时，USIM_DETECT引脚的电平从低升为高。
- 为了满足3GPP TS 51.010-1 协议及EMC（电磁兼容性）认证的要求，USIM 卡座应该放置于距离模块接口较近的位置（建议PCB 走线从模块接口到USIM卡座长度不能超过100 mm）。避免因走线过长，使波形发生畸变，从而影响信号质量。
- USIM_CLK和USIM_DATA 信号的走线进行包地处理，USIM卡座的GND引脚、模块的USIM卡GND引脚都必须与给模块供电的电源地进行可靠连接。
- 在USIM_VDD与GND 之间并联33nF 和1μF的电容（如果USIM_VDD走线过长，需并联较大的电容，如：4.7μF）。USIM_DATA、USIM_RST、USIM_CLK与GND之间并联3个33pF电容，滤除射频信号的干扰。
- 建议在USIM卡座附近采取防静电措施。防静电器件需要尽可能靠近USIM卡座，选用额定反向工作电压V_{rwm}=5V，结电容小于10pF的器件。防静电器件的接地须和模块系统地良好连接。
- 如果不使用USIM卡热插拔功能，USIM_DETECT引脚悬空。
- 如果不使用USIM接口，可悬空相应引脚。

4.7 音频接口*

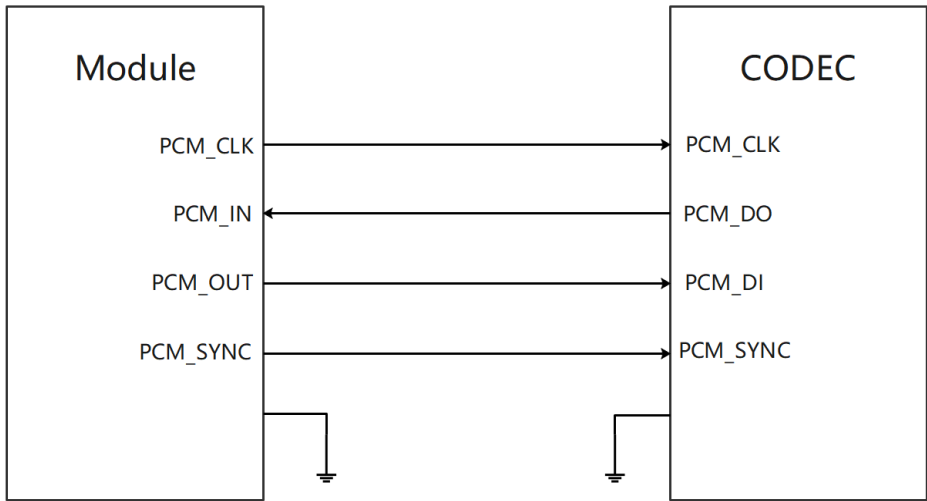
模块支持一路PCM接口，可用于CODEC。

表 4-10 PCM 接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值（V）
28	PCM_SYNC	O	PCM同步信号	1.8
22	PCM_IN	I	PCM数据输入	1.8
24	PCM_OUT	O	PCM数据输出	1.8
20	PCM_CLK	O	PCM时钟	1.8

PCM接口实现与CODEC之间的通信。

图 4-15 PCM 接口推荐电路



说明

- 如果不使用PCM接口，可悬空相应引脚。
- 若需电平转换，上拉需选用VDD_EXT。

4.8 I2C 接口*

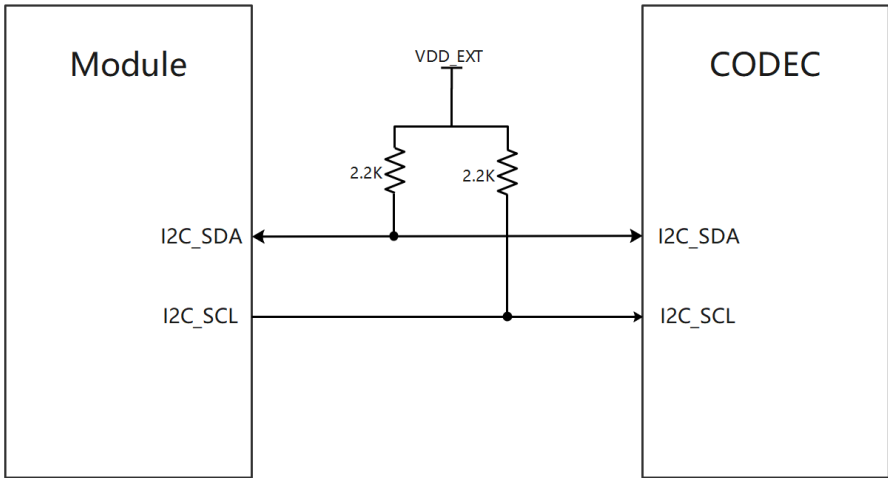
模块提供一组I2C接口，与PCM接口一起用于CODEC。
I2C接口为开漏引脚，需要外部通过电阻上拉到VDD_EXT。

表 4-11 I2C 接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值（V）
68	I2C_SDA	OD	I2C数据，开漏，需外部上拉至VDD_EXT	1.8

引脚号	引脚名称	引脚类型	描述	典型值 (V)
25	I2C_SCL	OD	I2C时钟，开漏，需外部上拉至VDD_EXT，与60PIN物理连接，连接其一即可	1.8
60	I2C_SCL	OD	I2C时钟，开漏，需外部上拉至VDD_EXT，与25PIN物理连接，连接其一即可	1.8

图 4-16 I2C 接口推荐电路



- 说明**
- 若无需使用I2C，悬空处理相应引脚。
 - 上拉需选用VDD_EXT。

4.9 PCIe 接口*

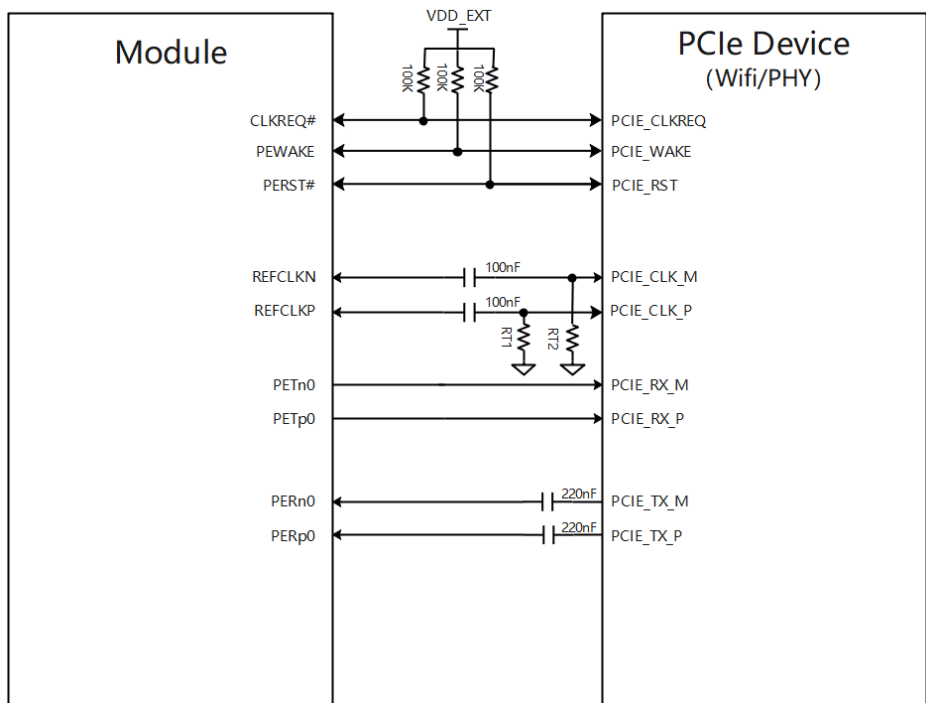
模块提供一个PCIe3.0接口。

表 4-12 PCIe 接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值 (V)
52	CLKREQ	OD	PCIe时钟请求	-
50	PERST	OD	PCIe 复位信号，低电平有效	-
54	PEWAKE	OD	PCIe唤醒信号，需外部上拉100K到1.8V/3.3V	-
53	REFCLKN	AIO	PCIe差分信号参考时钟-	-

引脚号	引脚名称	引脚类型	描述	典型值 (V)
55	REFCLKP	AIO	PCIe差分信号参考时钟+	-
47	PERn0	AI	PCIe差分接收-	-
49	PERp0	AI	PCIe差分接收+	-
41	PETn0	AO	PCIe差分发送-	-
43	PETp0	AO	PCIe差分发送+	-

图 4-17 PCIe 接口推荐电路（模块工作在 RC 模式）



说明

- CLKREQ/ PERST/PEWAKE引脚需预留上拉电阻。
- REFCLKN/ REFCLKP引脚需预留对地电阻，根据实际场景调试确定阻值。
- 模组内TX引脚已内置隔直电容，只需要在RX端靠近上位机处放置隔直电容。
- 对于PCIe Gen 3，隔直电容取值范围176~265nF，推荐220nF
- 对于PCIe Gen 2/Gen 1，隔直电容取值范围75~265nF，推荐100nF
- TX/RX/CLK差分阻抗为100欧姆，TX/RX对内等长控制在2mil以内，四面包地处理，普通FR4 板材走线长度需小于4inch。
- 建议TX/RX/CLK走线不超过3个过孔，过孔旁需就近打1-2个地过孔到主地。
- RC模式：
 1. 在此模式下，模组可使用此接口连接Ethernet以及WIFI等外设
 2. 在此模式下，REFCLK/PERST为输出，CLKREQ/PEWAKE为输入
- 如果不使用PCIe接口，可悬空相应引脚。

4.10 XGMAC 接口*

模块提供一组XGMAC接口，此接口提供一个基于XGE业务通用以太网MAC，可用于连接电口以及光口PHY。

XGMAC部分引脚与其余接口功能存在复用，复用功能不可同时使用。

表 4-13 XGMAC 接口引脚定义

引脚号	引脚名称	引脚类型	描述	复用情况
59	XGE_PHY_RX_P	AI	XGMAC差分接收+	-
61	XGE_PHY_RX_M	AI	XGMAC差分接收-	-
38	XGE_PHY_TX_P	AO	XGMAC差分发送+ 与WAKE_IN复用，不可同时使用	WAKE_IN
40	XGE_PHY_TX_M	AO	XGMAC差分发送-	USIM1_DET
60	XGE_MDC	O	MDIO时钟，与25PIN物理连接，连接其一即可 与I2C复用，不可同时使用	I2C_SCL
68	XGE_MDIO	OD	MDIO数据，开漏	I2C_SDA
26	XGE_PHY_INT	O	PHY中断信号 与IRIG_B复用，不可同时使用	IRIG_B
8	XGE_PHY_RST	O	PHY复位信号 与W_DISABLE 复用，不可同时使用	W_DISABLE

说明

- XGE外接PHY芯片时，XGE_TX接口需在PHY侧添加100nF隔直电容进行防护。

4.11 授时接口

模块提供两种授时接口，分别为B码输出以及1PPS输出。

表 4-14 授时接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值 (V)
26	IRIG_B	O	B码输出	1.8
63	PPS_OUT	O	1PPS码输出	1.8

图 4-18 IRIG_B 接口推荐电路

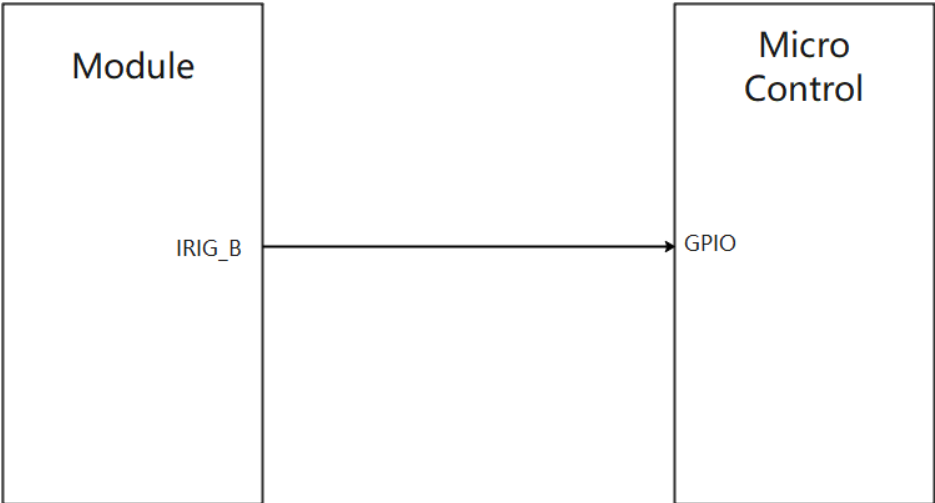
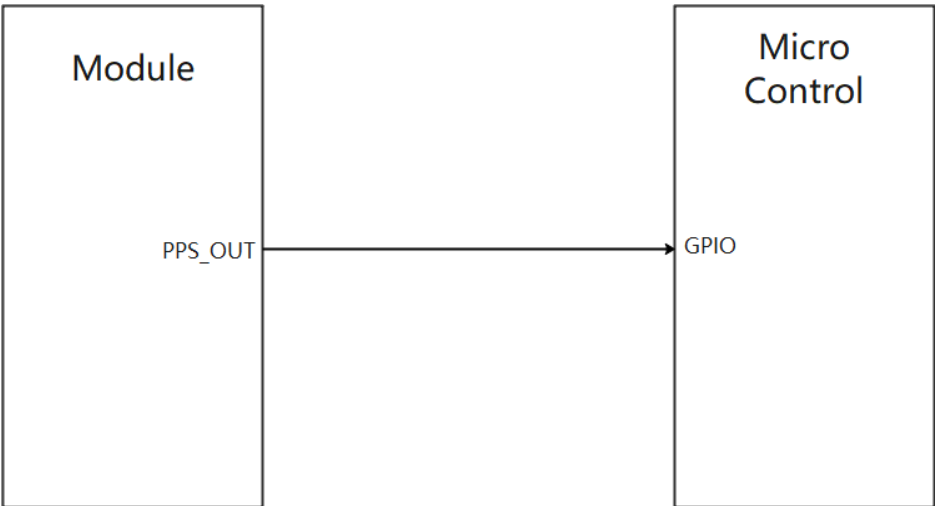


图 4-19 PPS_OUT 接口推荐电路



说明

- 授时引脚走线上电容建议不接，若需接电容，走线上电容需小于10pF。
- 授时走线建议布线在内层，四周包地，且走线长度尽量短，距离板边大于2.54mm。
- 如果不使用授时接口，相关引脚悬空处理。

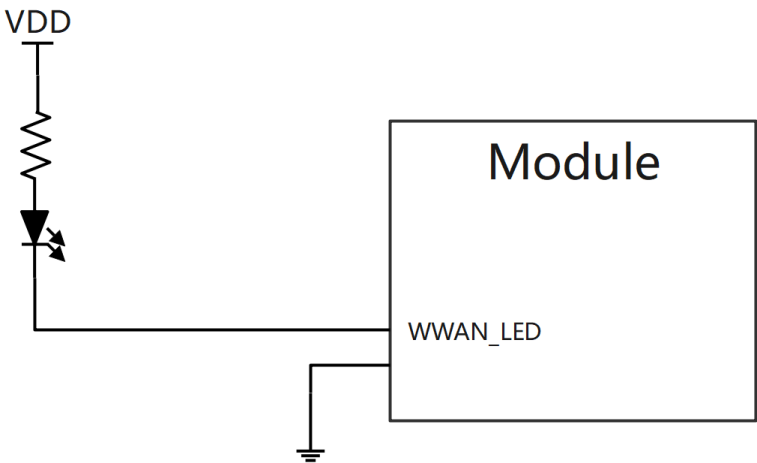
4.12 LED 接口

模块提供一个LED灯接口，用于状态指示。

表 4-15 LED 接口引脚定义

引脚号	引脚名称	描述	典型值 (V)
10	WWAN_LED	Sink，最大电流20mA	-

图 4-20 LED 推荐设计电路



说明

- LED引脚为灌电流，需外部上拉，最大电流为20mA，根据外部LED灯选型确认限流电阻阻值。
- 如果不使用LED功能，此引脚悬空处理。

4.13 MIPI 接口*

模块提供一个MIPI接口。

表 4-16 MIPI 接口引脚定义

引脚号	引脚名称	引脚类型	描述	典型值（V）
56	RFFE_CLK	O	MIPI时钟	1.8
58	RFFE_DATA	IO	MIPI数据	1.8

说明

- MIPI接口正在开发中，暂不支持完整功能，建议先引出测试点。
- 如果不使用此功能，相关引脚请悬空。

4.14 RF 天线接口

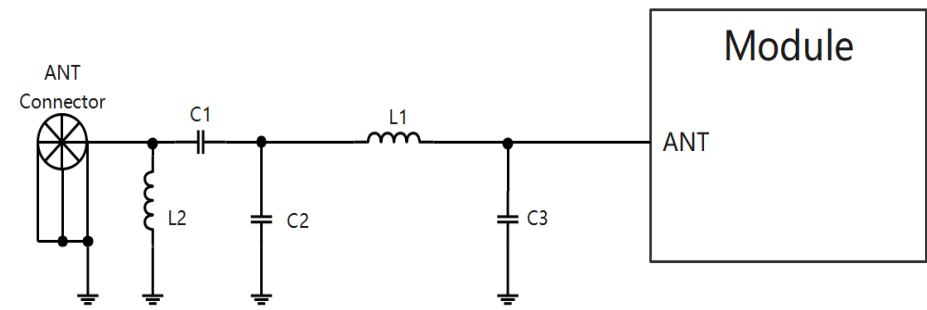
模块提供4个IPEX四代天线接口。

表 4-17 天线接口引脚定义

引脚号	引脚名	天线类型	频段
A0	ANT0	TRX0	NR：n1/3/5/8/28 LTE：B1/3/5/8/34/38/39 WCDMA：B1/8
		TX1	NR：n41/78/79
		RX2	NR：n41/78/79 LTE：B41
		SUL	n80/81/83/84
A1	ANT1	RX1	NR：n1/3/5/8/28 LTE：B1/3/5/8/34/38/39/40 WCDMA：B1/8
		RX3	NR：n41/78/79 LTE：B41
A2	ANT2	TRX0	NR：n41/78/79 LTE：B40/41
		RX2	NR：n1/3 LTE：B1/3/38
A3	ANT3	RX1	NR：n41/78/79 LTE：B41
		RX3	NR：n1/3 LTE：B1/3/38

可直接从模块的IPEX接口引出天线，若需要在PCB板上转接，板上走线尽量短，并保证走线阻抗为50Ω。

图 4-21 天线走线推荐电路

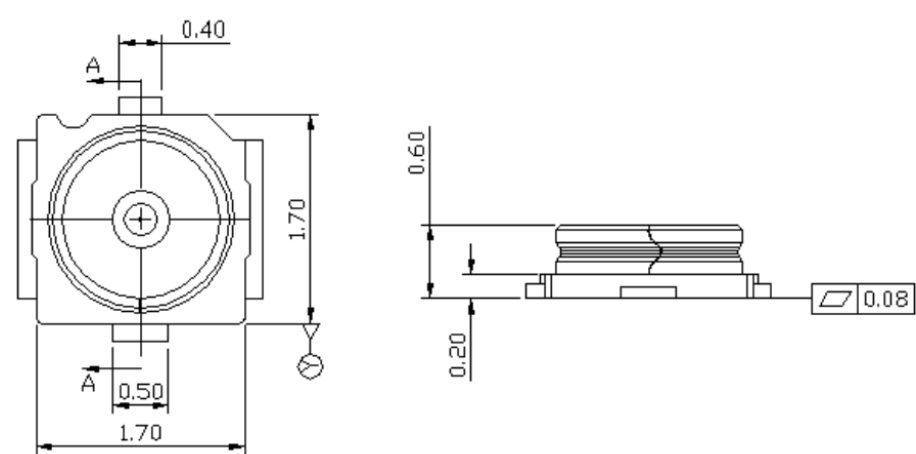


IPEX座子信息如下：

表 4-18 IPEX 座子信息

类型	型号	厂家	特征阻抗	频率范围
IPEX四代	818004607	电连技术股份有限公司	50Ω	DC~6GHz

图 4-22 IPEX 座子尺寸



说明

- 如上图所示为π型电路，如果走线较短，建议采用一个π型电路。如果走线较长，建议采用两个π型电路，其中一个π型电路靠近模块放置，另一个π型电路靠近天线接口放置。
- 初次贴片建议C1=33pF，C2=C3=NC，L1=1nH，L2=68nH。最终值请根据实际调试情况确定。
- USIM、USB、PCIe、POWER_ON_OFF、RESET等高速以及敏感信号远离射频走线。
- 每个天线之间至少保持15dB的隔离度。

4.15 测试点设计

建议增加如下的测试点，以便于问题分析以及快速定位。

- 以下的测试点在客户单板上是必须的：
 - USB2.0测试点：USB为近端升级的途径，需要在DM/DP信号上增加测试点，且在DM/DP信号线增加一个0R电阻，必要时可断开此电阻连接电脑，用于分析。
 - POWER_ON_OFF：开关机信号，需要设计测试点。
 - RESET：复位信号，需要设计测试点。
 - WAKE_IN：休眠控制信号，需要设计测试点。
 - VDD_EXT：模块1.8V对外输出，需要设计测试点。
- 以下的测试点，客户可根据自身情况进行设计：
 - WOWWAN：模块唤醒上位机信号。
 - IRIG_B/PPS_OUT：授时接口。
 - MIPI：正在开发中。
 - UART_RXD/UART_TXD：串口AT控制。

5 射频特性

关于本章

- 5.1 工作频段
- 5.2 传导射频测量
- 5.3 传导射频特性

5.1 工作频段

模块RF频段如下表所示。

表 5-1 MT5700M-CN 模块频段信息

频段	Tx	Rx
LTE Band 1	1920–1980 MHz	2110–2170 MHz
LTE Band 3	1710–1785 MHz	1805–1880 MHz
LTE Band 5	824–849 MHz	869–894 MHz
LTE Band 8	880–915 MHz	925–960 MHz
LTE Band 34	2010–2025 MHz	2010–2025 MHz
LTE Band 38	2570–2620 MHz	2570–2620 MHz
LTE Band 39	1880–1920 MHz	1880–1920 MHz
LTE Band 40	2300–2400 MHz	2300–2400 MHz
LTE Band 41	2496–2690 MHz	2496–2690 MHz
NR n1	1920–1980 MHz	2110–2170 MHz
NR n3	1710–1785 MHz	1805–1880 MHz

频段	Tx	Rx
NR n5	824–849 MHz	869–894 MHz
NR n8	880–915 MHz	925–960 MHz
NR n28	703–748MHz	758–803 MHz
NR n41	2496–2690 MHz	2496–2690 MHz
NR n78	3300–3800 MHz	3300–3800 MHz
NR n79	4400–5000 MHz	4400–5000 MHz
SUL n80	1920–1980 MHz	-
SUL n81	880–915 MHz	-
SUL n83	703–748MHz	-
SUL n84	1920–1980 MHz	-

5.2 传导射频测量

5.2.1 测试环境

表 5-2 测试仪表

测试仪器	R&S CMW500; Anritsu MT8821C; STAR POINT SP9500; Anritsu MT8000A
测试射频电缆	Rosenberger L71–C1841–300
电源	Aglient66319D; Power Monitor

 说明

- 频段的补偿值与线缆和测试环境有关。
- 根据实际线缆情况，设定仪器补偿值。

5.2.2 测试标准

模块测试标准满足3GPP协议标准。

5.3 传导射频特性

5.3.1 传导接收灵敏度

模块接收灵敏度如下表所示，测试条件为+25℃，供电电压3.8V。

表 5-3 传导灵敏度

频段	3GPP标准要求 (dBm)	测试值 (dBm)
LTE Band 1 (Main+AUX,10 MHz)	< -99	-106.5
LTE Band 3 (Main+AUX,10 MHz)	< -96	-106.4
LTE Band 5 (Main+AUX,10 MHz)	< -95	-104.4
LTE Band 8 (Main+AUX,10 MHz)	< -94	-102.3
LTE Band 34 (Main+AUX,10 MHz)	< -97	-103.4
LTE Band 38 (Main+AUX,10 MHz)	< -97	-106.2
LTE Band 39 (Main+AUX,10 MHz)	< -97	-105
LTE Band 40 (Main+AUX,10 MHz)	< -97	-103.9
LTE Band 41 (Main+AUX,10 MHz)	< -97	-106.7
NR n1 (4RX,25 MHz)	< -96.5	-102.25
NR n3 (4RX,20 MHz)	< -93.5	-102.9
NR n5 (2RX,20 MHz)	< -88.6	-101
NR n8 (2RX,20 MHz)	< -89.9	-100
NR n28 (2RX,30 MHz)	< -81.3	-93.8
NR n41 (4RX,100 MHz)	< -87.4	-95
NR n78 (4RX,100 MHz)	< -87.8	-96.8
NR n79 (4RX,100 MHz)	< -87.8	-97.2

5.3.2 传导发射功率

模块传导功率如下表所示，测试条件为+25℃，供电电压3.8V。

表 5-4 传导发射功率

频段	3GPP标准要求(dBm)	测试值 (dBm)
LTE Band 1	20.3-25.7	23
LTE Band 3	20.3-25.7	23
LTE Band 5	20.3-25.7	23
LTE Band 8	20.3-25.7	23
LTE Band 34	20.3-25.7	23

频段	3GPP标准要求(dBm)	测试值 (dBm)
LTE Band 38	20.3-25.7	23
LTE Band 39	20.3-25.7	23
LTE Band 40	20.3-25.7	23
LTE Band 41	22-28	26
NR n1	20.3-25.7	23
NR n3	20.3-25.7	23
NR n5	20.3-25.7	23
NR n8	20.3-25.7	23
NR n28	20.3-25.7	23
NR n41	22.3-28.7	26
NR n78	22-29	26
NR n79	22-29	26

6 电气特性

关于本章

- 6.1 极限工作电压
- 6.2 工作和存储环境
- 6.3 应用接口电气特性
- 6.4 输入电源特性
- 6.5 ESD设计
- 6.6 高速信号走线建议
- 6.7 热设计

6.1 极限工作电压

表 6-1 输入电源要求

参数	描述	最小值	最大值	单位
VBAT	外部电源输入	-0.3	5	V

说明

- 模块输入电压不能超过此范围，否则会造成模块永久性损坏。

6.2 工作和存储环境

表 6-2 工作和存储温度以及湿度

参数	最小值	最大值	单位
正常工作温度	-30	75	℃
扩展工作温度	-40	85	℃
存储温度	-40	90	℃
湿度	5	95	%

6.3 应用接口电气特性

表 6-3 数字引脚电气特性(I2C/PCM/UART/Control GPIO)

参数	描述	最小值	最大值	单位
V _{IH}	输入高电压范围	1.17	1.98	V
V _{IL}	输入低电压范围	-0.3	0.63	V
V _{OH}	输出高电压范围	1.35	-	V
V _{OL}	输出低电压范围	-	0.45	V

表 6-4 USIM 卡接口电气特性

参数	描述	最小值	最大值	单位
V _{IH}	输入高电压范围	0.625*VDD (3.0 V) 1.27 (1.8 V)	VDD+0.3V (3.0 V) 2.00 (1.8 V)	V
V _{IL}	输入低电压范围	-0.3	0.25*VDD (3.0 V) 0.58 (1.8 V)	V
V _{OH}	输出高电压范围	0.75*VDD (3.0 V) 1.40 (1.8 V)	-	V
V _{OL}	输出低电压范围	-	0.125*VDD(3.0 V) 0.45 (1.8 V)	V

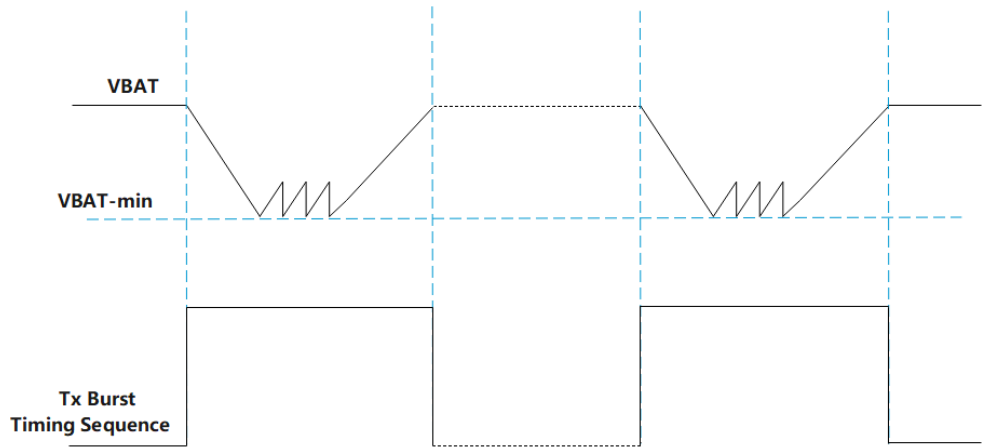
6.4 输入电源特性

6.4.1 输入电压

表 6-5 输入电压要求

参数	最小值	典型值	最大值	单位
VBAT	3.3	3.8	4.4	V

图 6-1 发射状态电压波形图



说明

- 模块在正常工作中，为保证工作性能，VBAT-min不能低于输入电压要求的最小值。

表 6-6 模块输入电流要求

电压	电流
VBAT	4A

6.4.2 功耗

模块功耗如下表所示，测试条件为+25℃，供电电压3.8V。

表 6-7 平均待机/关机功耗

工作模式	典型测量值 (mA@3.8V)	备注
LTE休眠 (SLEEP)	3.5	模块上电 DRX=1.28s USB未连接

工作模式	典型测量值 (mA@3.8V)	备注
NR休眠 (SLEEP)	4.5	模块上电 DRX=1.28s USB未连接
LTE空闲态 (IDLE)	30.5	模块上电 DRX=1.28s USB断开
	40.5	模块上电 DRX=1.28s USB连接
NR空闲态 (IDLE)	31	模块上电 DRX=1.28s USB断开
	41	模块上电 DRX=1.28s USB连接
POWER OFF	0.032	VBAT上电，模块不开机

表 6-8 平均发射功耗

类型	频段	平均电流 (mA)	测试功率 (dBm)
NR	n1 1T	267	10
		594	23
	n3 1T	259	10
		602	23
	n5 1T	265	10
		651	22.7
	n8 1T	261	10
		662	22.9
	n28 1T	260	10
		587	22.7
	n41 1T	274	10
		506	25.8

类型	频段	平均电流（mA）	测试功率（dBm）
	n41 2T	290	10
		590	25.8
	n78 1T	287	10
		550	26.3
	n78 2T	333	10
		619	26.2
	n79 1T	283	10
		588	26.1
	n79 2T	326	10
		837	26.1
LTE	Band 1	263	10
		615	22.5
	Band 3	256	10
		604	22.7
	Band 5	235	10
		548	22.6
	Band 8	251	10
		592	22.9
	Band 34	183	10
		303	22.1
	Band 38	213	10
		422	22.7
	Band 39	187	10
		305	22.7
	Band 40	200	10
		382	22
	Band 41	206	10
		593	25.1
LTE CA	CA_1C	915	22.4
	CA_3C	780	22.0

类型	频段	平均电流（mA）	测试功率（dBm）
	CA_38C	472	21.8
	CA_39C	427	23.6
	CA_40C	565	22.6
	CA_41C	599	23.2
NR CA	CA_n1A_n78A	958	25.9
	CA_n3A_n78A	1039	26
	CA_n8A_n78A	990	25.9
	CA_n28A_n41A	822	25.7
ENDC	DC_1A_n78	1020	LTE:23.1 NR:23.1
	DC_3A_n41A	913	LTE:23.3 NR:22.6
	DC_3A_n78A	1103	LTE:23.3 NR:23.1
	DC_3A_n79A	1080	LTE:23.4 NR:23.0
	DC_5A_n78A	1008	LTE:23.2 NR:23.2
	DC_8A_n41A	898	LTE:23.4 NR:22.7
	DC_8A_n78A	1031	LTE:23.6 NR:23.1
	DC_8A_n79A	1021	LTE:23.5 NR:23.1
	DC_39A_n41A	439	LTE:23.5 NR:22.6
	DC_39A_n79A	544	LTE:23.4 NR:23.0
	DC_40A_n41A	536	LTE:23.1 NR:23.2
	DC_40A_n79A	590	LTE:23.0 NR:23.1
SUL	CA_n41A_n83A	656	23.3

类型	频段	平均电流（mA）	测试功率（dBm）
	CA_n78A_n80A	550	22.9
	CA_n78A_n84A	573	22.8
	CA_n78A_n81A	782	23.3
WCDMA	Band 1	272	9.5
		686	22.7
	Band 8	268	10
		651	22.5

说明

- 上述测试数据来源于鼎桥实验室。

6.5 ESD 设计

6.5.1 模块静电放电特性

模块VBAT/GND接口以及天线接口可承受接触放电±4kV，空气放电±8kV。

说明

- 测试数据基于开发板。
- ESD防护等级与原理图PCB设计/器件选型强相关，可参考原理图设计指南。

6.5.2 ESD 设计建议

- 在制造、组装、包装、搬运和储存过程中应注意静电防护，以减少静电对模块的损害。
- USB口应增加防护器件进行静电保护，DM/DP信号选取结电容小于0.5pF的静电防护器件，同时在DM/DP信号上并联增加共模电感。TX/RX信号选取结电容小于0.15pF的静电防护器件。
- USIM卡接口选取结电容小于10pF的静电防护器件。
- 静电防护器件走线应遵循V型走线，不要走T型走线。
- 模块周边地保持完整，不要分割。

6.5.3 ESD 环境控制建议

- EPA（静电放电保护区）区域铺设防静电地板，并满足表面电阻、系统电阻大于等于 $1\times10^4\Omega$ 且小于 $1\times10^9\Omega$ 。
- EPA区域主接地系统接地良好，没有地线松动的现象，并且接地阻值满足小于4 Ω 。

- 操作静电敏感器件工作台设置公共接地点、手腕带插孔座并铺设防静电台垫，并且手腕带插孔座到公共接地点之间的阻值满足小于 4Ω ，防静电台垫的表面电阻、系统电阻小于 $1\times 10^9\Omega$ 。
- EPA 使用防静电双回路腕带，并且腕带插入了专用腕带插孔座，无鳄鱼夹接地现象。
- 静电敏感器件及其组件的加工设备、测试仪器、工具、装备都进行了可靠接地，指标要求：
 - 硬接地 $<4\Omega$
 - 软接地： $1\times 10^5\Omega\leq R_g<1\times 10^9\Omega$
 - ICT夹具软接地部分： $1\times 10^5\Omega\leq \text{ICT夹具软接地电阻}<1\times 10^{11}\Omega$
 - 电烙铁容易氧化，接地电阻可接受范围 $<20\Omega$
- 设备、仪器、工具和工装上接触静电敏感器件的部分和靠近静电敏感器件的运动部件由防静电材料制成的并有良好的接地；非防静电材料部分进行了防静电处理措施，如涂防静电液、离子化（要求抽测摩擦电压： $<100\text{ V}$ ）。
- 生产设备上的关键部件（即直接接触静电敏感器件或与其距离小于30 cm的部分），如传送带、传送链、导轮、SMT吸嘴等是否都是由防静电材料制成的，并有效的接地通路（要求抽测摩擦电压： $<100\text{ V}$ ）。
- 在接触IC、单板、模块等静电敏感器件、组件的过程中员工都正确佩戴了防静电腕带、防静电手套或指套，坐式作业员工要求必须佩带防静电腕带。
- 静电敏感器件及组件的包装盛放都有明显的防静电警示标识。
- 单板、IC等没有散乱堆放、裸露叠放或与其它静电源混放的现象。
- 在EPA外运输和存储静电敏感器件及组件采取有效的屏蔽措施。

6.6 高速信号走线建议

模块对外高速接口包括USB2.0/3.1以及PCIe3.0，注意事项如下：

- 差分信号对尽可能对称布线。
- 差分走线建议走PCB内层，四面包地处理。
- 高速信号打孔周围放置一个地过孔。
- 参考层不要被分割。

6.6.1 PCIe 走线建议

- PCIe走线建议如下：
 - a. PCIe差分走线满足 $100\Omega\pm 10\%$ 。
 - b. PCIe对内走线长度差应小于2mil，走线进行包地处理。
 - c. PCIe差分（TX、RX间）走线间距，推荐微带线8H，带状线5H（H为与相邻参考层最小介质厚度）。
 - d. 若采用FR4板材，PCIe走线长度必须小于5inch。
 - e. 对于差分信号（TX+/TX-、RX+/RX-），走线时过孔数不应超过三个。差分信号应对称布线。
 - f. 建议TX/RX信号使用0.2mm过孔，增加反焊盘尺寸，以降低过孔电容，以获得更好的信号完整性。在差分信号过孔的50mil范围内增加地过孔。

- g. 建议采用0402或者0201封装的电容，如果采用0402封装的电容，建议下一层掏空，隔层参考。

6.6.2 RF 走线建议

RF走线建议如下：

- RF走圆滑的弧线，不要走折线。
- RF走线进行包地处理，走线两边打上密集地孔。
- RF走线应遵循 50Ω ，此阻抗取决于走线宽度、板材介电常数、距离地平面距离等。下图展示了微带线以及带状线情况下 50Ω 阻抗匹配的情况。

图 6-2 微带线

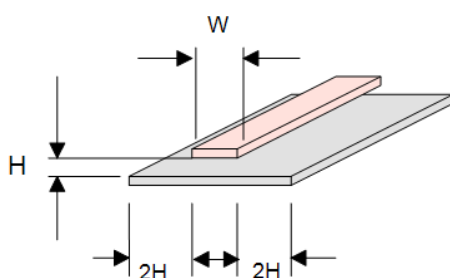


图 6-3 带状线

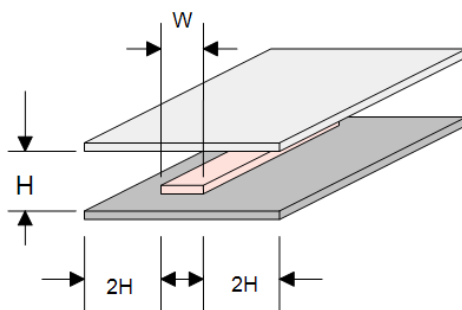


图 6-4 隔层参考设计

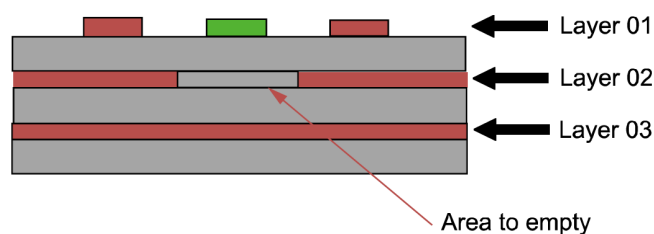
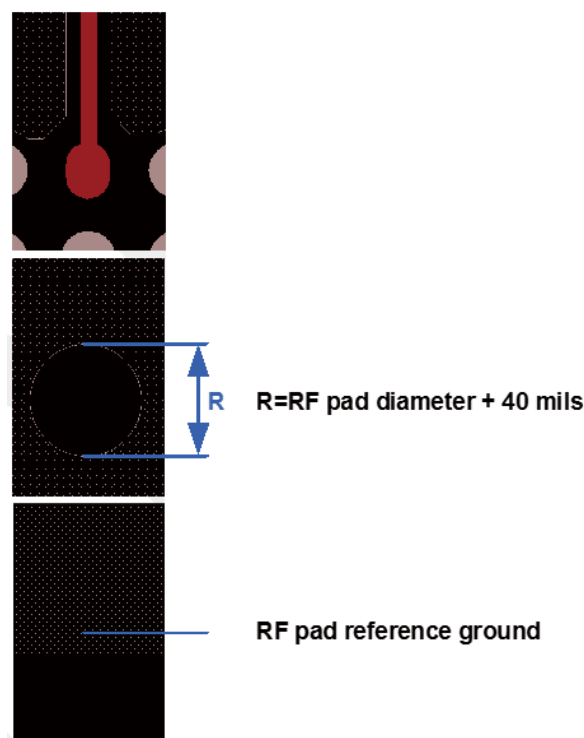


图 6-5 RF PAD 隔层参考示意图



可以使用阻抗模拟工具计算RF主焊盘的阻抗。如果射频走线阻抗小于 50Ω ，建议第二层挖空，第三层铺地处理。要挖空多少层取决于PCB介电常数、走线宽度以及走线距离地层的距离。最终目标是使RF主焊盘阻抗尽可能接近 50Ω 。

6.6.3 USB 走线建议

USB2.0走线建议如下：

- USB差分走线满足 $90\Omega \pm 10\%$ 。
- USB的DM/DP之间走线长度差不超过20mil。
- USB2.0的DM/DP用于近端升级以及问题分析，建议增加测试点，测试点的建议如下：
 - 测试点应尽可能小（推荐尺寸25mil），两个测试点的距离尽可能近（推荐中心距50mil）
 - 在USB2.0走线上引出测试点，不要单独拉出走线引出测试点，避免出现STUB

图 6-6 USB2.0 测试点推荐布线方式

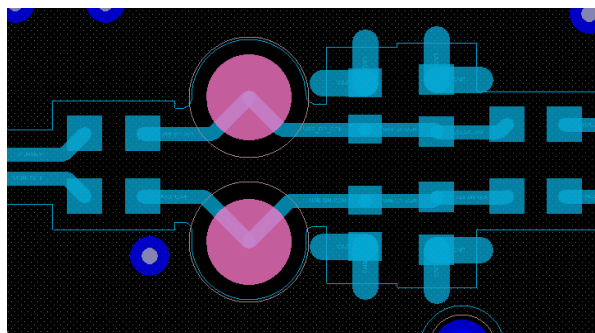
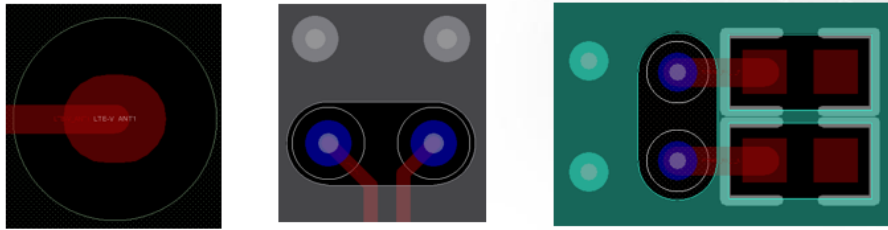


图 6-7 USB2.0 推荐走线方式



USB3.1走线建议如下：

- USB3.1差分走线满足 $100\Omega \pm 10\%$ 。
- USB3.1 TX/RX对内走线长度差不超过2mil，走线进行包地处理。
- USB3.1 TX和RX之间的走线气隙建议微带线为9H，带状线为7H（H：相邻参考层的最小介电厚度）。
- 若采用FR4板材，USB3.1走线长度必须小于6inch。
- 对于PCB板材，插入损耗必须小于-8.5dB @ 5GHz。
- 对于差分信号（DM/DP、TX+/TX-、RX+/RX-），走线时过孔数不应超过三个。差分信号应对称布线。
- 建议USB3.1信号使用0.2mm过孔，增加反焊盘尺寸，以降低过孔电容，以获得更好的信号完整性。在差分信号过孔的50mil范围内增加地过孔。
- 建议采用0402或者0201封装的电容，如果采用0402封装的电容，建议下一层掏空，隔层参考。
- 电容、TVS、ESD等器件应尽可能靠近连接器。

6.7 热设计

建议在模块正常工作过程中在模块以及底板之间添加导热材料，通过导热材料将模块热量导入到底板，通过底板协助散热。

此时的注意事项：

- 导热材料的热传导系数需大于 $3.0W/m \cdot K$
- 组装上模块之后，需保证导热材料压缩程度为15%~30%之间
- 根据选型的M.2座子进行确定导热材料厚度，理论上导热材料越薄越好
- 底板对应导热材料区域需要做露铜处理，并密集的打上过孔到主地，推荐孔间距为75mil
- 模块远离发热量大的器件以及热敏感器件（电源、晶体、铝电解电容等，靠近模块电容优选X7R/C0G规格）

当模块需要以大功率发送，高速率接收或工作于扩展工作温度范围内时，为提高模块工作稳定性，有以下几点建议：

- 在结构允许的情况下，增加散热器。在散热器以及模块顶部之间增加导热材料，导热材料尽量薄（导热材料热传导系数大于 $3.0W/mK$ ）。
- 必要的情况下，考虑主动散热措施。

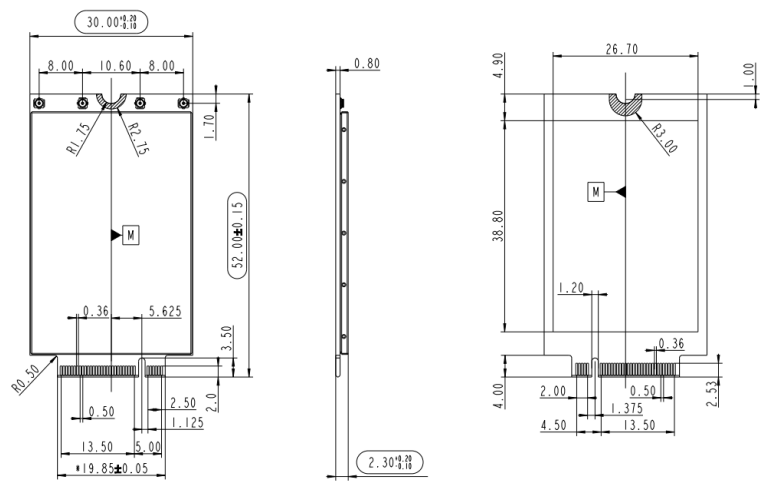
7 机械特性

关于本章

- 7.1 模块结构图
- 7.2 实物图
- 7.3 包装

7.1 模块结构图

图 7-1 模块结构图(单位: mm)



7.2 实物图

模块实物图如下:



说明

- 上述实物图非最终版本，部分镭雕信息跟随生产批次变化。

7.3 包装

TBD

8 认证

下表为MT5700M-CN的认证信息。如有更多的认证需求或者认证相关的具体信息，请联系鼎桥通信技术有限公司。

表 8-1 MT5700M-CN 认证

认证	认证情况
CCC	TBD
SRRC	TBD
NAL	TBD

9

缩略语

表 9-1 缩略语

缩略语	英文全称	中文全称
3GPP	Third Generation Partnership Project	第三代合作伙伴计划
CCC	China Compulsory Certification	中国强制认证
CTA	China Type Approval	进网许可证
DL	Downlink	下行链路
DRX	Discontinuous Reception	非连续性接收
EPA	Electrostatic Discharge Protected Area	静电放电保护工作区
ESD	Electrostatic Discharge	静电释放
ESR	Equivalent Series Resistance	等效串联电阻
Gbps	Giga Bits Per Second	吉比特每秒
GPIO	General-purpose I/O	通用输入输出
HSPA	Enhanced High Speed Packet Access	高速分组接入
ICT	In-circuit testing	内电路测试
LDO	Low Dropout Regulator	低压差线性稳压器
LED	Light Emitting Diode	发光二极管
LTE	Long Term Evolution	长期演进
Mbps	Mega Bits Per Second	兆比特每秒
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
MO	Mobile Originated	终端呼叫
MT	Mobile Terminated	移动终端

缩略语	英文全称	中文全称
NC	Not Connected	无连接
NR	New Radio	新空口
NSA	NON-Standalone	非独立组网
OD	Open-Drain	漏极开路
PCB	Printed Circuit Board	印制线路板
PCIe	Peripheral Component Interconnect Express	外设部件互连标准
PCM	Pulse Code Modulation	脉冲编码调制
PDU	Protocol Data Unit	协议数据单元
RF	Radio Frequency	射频
RoHS	Restriction of the Use of Certain Hazardous Substances	电气、电子设备中限制使用某些有害物质指令
RSE	Radiated Spurious Emission	辐射杂散
RX	Receive	接收
SA	Standalone	独立组网
SMS	Short Message Service	短消息服务
SRRC	State Radio Regulatory Commission of the People' s Republic of China	无线电型号核准认证
TVS	Transient Voltage Suppressor	瞬态电压抑制器
TX	Transmit	发送
UART	Universal Asynchronous Receiver & Transmitter	通用异步收发传输器
UL	Uplink	上行链路
USB	Universal Serial Bus	通用串行总线
USIM	Universal Subscriber Identity Module	全球用户标识模块
V _{IH}	Input High Voltage Level	输入高电压电平
V _{IL}	Input Low Voltage Level	输入低电压电平
V _{OH}	Output High Voltage Level	输出高电压电平
V _{OL}	Output Low Voltage Level	输出低电压电平
VSWR	Voltage Standing Wave Ratio	驻波比
WCDMA	Wideband Code Division Multiple Access	宽带码分多址

缩略语	英文全称	中文全称
WEEE	Waste Electrical and Electronic Equipment	废弃电子电机设备